

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-170044

(43)Date of publication of application : 05.07.1989

(51)Int.Cl.

H01L 29/78

(21)Application number : 62-327507

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.12.1987

(72)Inventor : FUKUDA SANAE
SHIGYO NAOYUKI

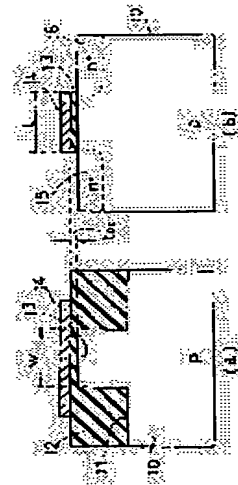
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To maintain high-speed switching characteristics at the time of fine formation of an element and to facilitate the manufacture of the element by a method wherein, with a complete buried isolation performed, the thickness of a gate insulating film is specified within a prescribed range thicker than a thickness which is decided according to a scaling law.

CONSTITUTION: Grooves 11 are provided in an element isolation region of an Si substrate 10, an SiO₂ film 12, which is used as an insulating film for element isolation, is buried in these grooves 11 and a gate electrode 14 is formed on an element forming region through a gate oxide film 13.

Assuming that the thickness of the film 13 is $t_1 \mu\text{m}$, a value which is decided according to a scaling law in an insulated-gate field-effect transistor is T , and a channel width is $W \mu\text{m}$, the t_1 is set at a value which is given by $T < t_1 \leq (a/W) + b$ (provided that, the (a) and the (b) are a constant). Thereby, the film 13 can be formed thicker than a value, which is decided according to the scaling rule, a fine MIS-FET having high-speed switching characteristics can be realized and moreover, a reduction in the reliability of the film 13 and a trouble in the manufacturing method of the FET are avoided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

平1-170044

⑪ Int. Cl.

H 01 L 29/78

識別記号

3 0 1

庁内整理番号

G-8422-5F
H-8422-5F

⑬ 公開 平成1年(1989)7月5日

審査請求 未請求 発明の数 2 (全10頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭62-327507

⑯ 出 願 昭62(1987)12月25日

特許法第30条第1項適用 1987年9月18日 電子情報通信学会技術研究会において文書をもって発表

⑰ 発 明 者 福 田 早 苗 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内⑱ 発 明 者 執 行 直 之 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半 導 体 装 置

2. 特許請求の範囲

(1) 半導体基板の素子分離領域に形成された溝と、この溝内に設けられた素子分離用絶縁膜と、前記半導体基板の素子形成領域上に所定距離離開して設けられたソース・ドレイン領域と、このソース・ドレイン領域間のチャネル領域上にゲート絶縁膜を介して形成されたゲート電極とを備え、前記ゲート絶縁膜の厚さを $t_1 \mu m$ 、絶縁ゲート型電界効果トランジスタにおけるスケーリング則で決まる値を T 、チャネル幅を $W \mu m$ として、

$$T < t_1 \leq (a/W) + b$$

(但し、 a 、 b ：定数)

で表わされる値に設定してなることを特徴とする半導体装置。

(2) 前記定数 a 、 b を、

$$a = 1.5 \times (\epsilon_0 / \epsilon_s) \times 10^{-3}$$

$$b = 2.0 \times (\epsilon_0 / \epsilon_s) \times 10^{-3}$$

に設定したことを特徴とする特許請求の範囲第1項記載の半導体装置。

但し、 ϵ_0 はゲート絶縁膜材料の比誘電率、 ϵ_s は SiO_2 の比誘電率である。

(3) 前記ゲート絶縁膜の厚さ t_1 は、サブスレッショルド係数が $80 mV/decade$ 以下となるように設定されていることを特徴とする特許請求の範囲第1項記載の半導体装置。

(4) 前記ゲート電極の中央部下面と周辺部下面との高さ方向距離 t_0 は、

$$t_0 \leq 10 t_1$$

に設定されていることを特徴とする特許請求の範囲第1項記載の半導体装置。

(5) 前記チャネル幅 W は、

$$0.15 \mu m \leq W \leq 1 \mu m$$

に設定されていることを特徴とする特許請求の範囲第1項記載の半導体装置。

(6) 半導体基板の素子分離領域に形成された溝と、この溝内に設けられた素子分離用絶縁膜と、前記半導体基板の素子形成領域上に所定距離離開して

設けられたソース・ドレイン領域と、このソース・ドレイン領域間のチャネル領域上にゲート絶縁膜を介して形成されたゲート電極とを備え、前記ゲート電極は、該電極材料の仕事関数が前記半導体基板の電子親和力に禁制帯幅の1/2を加えた値近傍になるように設定されたものであることを特徴とする半導体装置。

(7) 前記ゲート電極材料として、前記半導体基板よりも融点が高く、且つゲート絶縁膜よりもゲート絶縁膜形成時に自由エネルギーの低下が小さい高融点金属を用いたことを特徴とする特許請求の範囲第6項記載の半導体装置。

(8) 前記ゲート電極材料として、Siよりも融点が高く、且つSiO₂よりも酸化物形成時に自由エネルギーの低下が小さい高融点金属を用いたことを特徴とする特許請求の範囲第6項記載の半導体装置。

(9) 前記ゲート電極材料として、タングステンを用いたことを特徴とする特許請求の範囲第6項記載の半導体装置。

ある。

スケーリング則は、素子の寸法を小さくする際に、基板不純物濃度 N_{sub} やゲート酸化膜厚 t_{ox} 等のパラメータを縮小率に応じて一定の規則で変化させ、素子特性がそのまま保たれるようにするものであり、代表的なものとしては例えば、しきい値電圧 V_T は一定、チャネル部に伸びる空乏層幅は素子寸法と同じ縮小率で縮小すると云う条件で、変化させるパラメータの値の規則を得ると云うものである(H. SHICHINO, Solid State Electronics, vol. 26, No. 10, pp. 969-986, 1983)。

しきい値電圧を一定に保つために、基板不純物濃度 N_{sub} (cm⁻³)は第8図に示すようにスケーリングされる。また、サブスレッショルド特性を表わすサブスレッショルド係数 S はサブスレッショルド領域の電流が1桁変化するために必要なゲート電圧であり、ゲート酸化膜によるキャパシタンス C_{ox} と基板内に生じる空乏層によるキャパシタンス C_d を使って、近似的には

$$S \approx 60 \times (1 + C_d / C_{ox})$$

(10) 前記ゲート絶縁膜の厚さ t_i (μm)を、

$$t_i \leq (1.5 / W + 2) \times 10^{-3} \times (\epsilon_0 / \epsilon_s)$$

W : チャネル幅 (μm)

ϵ_0 : ゲート絶縁膜材料の比誘電率

ϵ_s : SiO₂の比誘電率

で表わされる値に設定してなることを特徴とする特許請求の範囲第6項記載の半導体装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、絶縁ゲート型電界効果トランジスタの改良に係わり、特に素子分離を完全埋込み分離構造とした半導体装置に関する。

(従来の技術)

従来、絶縁ゲート型電界効果トランジスタ(以下、MIS-FETと略記する。)を用いたLSIにおいては、LSIを構成する半導体素子の動作特性の向上と、集積度を上げるために素子の微細化が進められている。素子の寸法を縮小する際の基本的な考え方として、スケーリング則が

と表わすことができる。従って、 C_d 、 C_{ox} を N_{sub} 、 t_{ox} で書き直せば、例えば一般にMOSFETで必要とされる $S = 80 \text{ mV/decade}$ を得るための N_{sub} (cm⁻³)と t_{ox} (nm)の関係式は

$$t_{ox} = 8.2 \times \sqrt{\frac{\ln \left(\frac{N_{sub}}{1.45 \times 10^{10}} \right)}{N_{sub}}} \times 10^9$$

のように表わされ、この式は第9図に示すようになる。第8図と第9図から、酸化膜厚 t_{ox} に対してのスケーリング則が得られ、これを第10図に示す。

スケーリング則に従ってMIS-FETを微細化すると、ゲート絶縁膜の厚さ t_i が次第に薄くなる。大きな電流密度と高速スイッチング特性を得るためには t_i を比例縮小しなければならないが、あまり t_i が小さくなるとトンネル電流が流れ、FET動作しなくなる。また、良質の薄いゲート絶縁膜を作るのも難しく、ホットキャリア注入による劣化の虞れも大きい。

一方、MIS-FETの素子分離は、従来第5図(a)に示すようにLOCOS法(Local Oxidation of Silicon)で行われていたが、パースピークにより素子形成領域が減少する欠点があり、高密度LSIには不適当である。そこで最近、パースピークのない素子分離法として、第5図(b)に示すように、Si基板に溝を形成し絶縁膜を埋込むBOX法(K. Kurosawa, et al.: IEDM Tech. Dig., pp. 884-887, 1981)が提案されている。また、パースピークのない他の素子分離法として、第5図(c)に示すように、Si基板上の厚い絶縁膜に溝を設け、この溝内にゲート絶縁膜を介してゲート電極を形成する方法も提案されている。なお、第5図(b)の構造を完全埋込み分離と呼び、同図(c)の構造を非埋込み分離と呼ぶ。また、第5図中51はSi基板、52は素子分離用絶縁膜、53はゲート絶縁膜、54はゲート電極を示している。

完全埋込み分離では、パースピークがないだけでなく、電流電圧特性がシャープでゲート制御

能力が高いと云う特徴がある。第5図(c)に示す絶縁膜が半導体基板に全く埋込まれていない非埋込み分離と、同図(b)に示す完全埋込み分離でのサブスレッショルド特性の違いを第6図に示す。この図は、サブスレッショルド領域の電流を1桁変化するために要するゲート電圧を表わすサブスレッショルド係数 S (subthreshold swing) のチャネル幅 W 依存性を示すものである。完全埋込み分離では S が小さく、僅かなゲート電圧の変化で電流を制御することができる。これは、第5図(b)に示すように、空乏層が伸び空乏容量 C_d が小さくなるためである。

このように完全埋込み分離は利点が多いが、欠点はチャネル幅が狭くなるに従い、第7図に示すように、しきい値電圧 V_{th} が低下することである。しきい値電圧 V_{th} がチャネル幅の影響を受けることは、LSIの設計を難しくするだけでなく、ゲート電圧が0Vでリーク電流を生じることになり、ダイナミックRAMでは大きな問題となる。また、しきい値電圧の低下の問題を解決するため

に、前述のBOX法では溝側壁に反転防止のイオン注入を行っていた。しかし、この方法では、空乏層が伸びなくなり、空乏層容量 C_d が小さくならないため、完全埋込み分離の利点であるゲート制御性の良さが失われてしまう。

(発明が解決しようとする問題点)

このように従来、MIS-FETを微細化していくと、高速スイッチング特性や電流駆動能力を維持するため、スケールリング則にのっとってゲート絶縁膜を薄くする必要があったが、絶縁膜を薄くすると、トンネル電流、膜質の劣化等の素子の信頼性上の問題、並びに製造工程での困難さと入った問題がある。また、完全埋込み分離構造のMIS-FETであっては、チャネル幅の微細化に伴い、しきい値電圧が低下すると云う問題があった。

本発明は上記事情を考慮してなされたもので、その目的とするところは、完全埋込み分離構造で素子を微細化しても、高速スイッチング特性が維持され、トンネル電流が流れることはなく、且つ

製造工程での困難性も少ない半導体装置を提供することにある。

また本発明は、完全埋込み分離構造をとっても、チャネル幅の微細化に伴うしきい値電圧の低下を防止することができ、且つゲート制御性にも優れた半導体装置を提供することにある。

[発明の構成]

(問題点を解決するための手段)

本発明の骨子は、完全埋込み分離を行うと共に、ゲート絶縁膜の厚さをスケールリング則で決まる厚さよりも厚い所定の範囲に規定することにある。さらに、完全埋込み分離構造において、ゲート電極電極材料の仕事関数を制御することにより、しきい値電圧の低下を防止することにある。

即ち本発明は、完全埋込み分離構造の半導体装置において、半導体基板の素子分離領域に形成された溝と、この溝内に設けられた素子分離用絶縁膜と、前記半導体基板の素子形成領域上に所定距離離間して設けられたソース・ドレイン領域と、このソース・ドレイン領域間のチャネル領域上に

ゲート絶縁膜を介して形成されたゲート電極とを備え、前記ゲート絶縁膜の厚さを t_1 μm を、絶縁ゲート型電界効果トランジスタにおけるスケーリング則で決まる値を T 、チャネル幅を W μm として、

$$T < t_1 \leq (a/W) + b$$

(但し、 a 、 b ：定数)

で表わされる値に設定するようにしたものである。

また本発明は、完全埋込み分離構造の半導体装置において、前記ゲート電極材料として、該電極の仕事関数が前記半導体基板の電子親和力に禁制帯幅の1/2を加えた値近傍になるようなものを用いたことにある。

(作用)

MIS-FETの素子分離法としてトレンチ等による完全埋込み分離を行うと、前記第5図(b)に示すようにゲート電極のフリンジ電界により、LOCOS分離(第5図(a))、非埋込み分離(第5図(c))と比較して、ゲートがチャネルを強く支配する。このゲートフリンジ電界のために

$$t_1 \leq (1.5/W + 2) \times 10^{-3} \times (e_0/e_s)$$

W ：チャネル幅(μm)

e_0 ：ゲート絶縁膜材料の比誘電率

e_s ：SiO₂の比誘電率

まで厚くすることができた。この厚さは、特にチャネル幅 W が狭い領域(例えば $W \leq 0.5 \mu m$)においては、従来のスケーリング則で定まる値よりも十分に大きいものである。また、ゲート絶縁膜の膜厚を厚くできることから、薄くて良質な絶縁膜の製法と云う技術的困難も回避することが可能となる。

一方、しきい値電圧はゲート電極の仕事関数に依存するので、ゲート材料を変えることにより、その仕事関数差分しきい値電圧は変化する。仕事関数が半導体基板の禁制帯の中央近傍に相当するゲート電極材料を用いれば、完全埋込み分離構造のMIS-FETのしきい値電圧の低さを改善できる。しかも、空乏層の伸びは変化せず、完全埋込み分離MIS-FETの利点であるゲート制御性の良さを保持することができる。また、しきい

値電圧制御のためのチャネルイオン注入が不要となり、より空乏層が伸びゲート制御性がさらに向上する。

に比例する。従って、同じサブスレッショルド特性、即ち同程度のカットオフ特性を得るために、本発明におけるように完全埋込み分離を行ったMIS-FETの方が、そうでないものに比べて C_d が小さい分、 C_{gl} を小さくすることができる。換言すれば、ゲート絶縁膜厚 t_1 を厚くできることになる。

従って、微細化してもゲート絶縁膜は厚いままで、従来のMIS-FETの高速スイッチング特性と同じ性能を持つMIS-FETが実現でき、信頼性を低下させることなく高性能の微細デバイスを作ることができる。本発明者等の実験によれば、 $S = 80 mV/decade$ を得るためのゲート絶縁膜厚 t_1 μm を、

(実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第1図は本発明の一実施例に係わる完全埋込み分離構造のMOS-FETの概略構造を示すもので、(a)はチャネル幅方向断面図、(b)はチャネル長方向断面図である。Si基板10の素子分離領域に溝11が設けられ、この溝11内に素子分離用絶縁膜としてのSiO₂膜12が埋込まれている。素子形成領域上にはゲート酸化膜13を介してゲート電極14が形成されている。また、素子形成領域のゲート電極14を形成した部分以外には、不純物拡散によるソース・ドレイン領域15、16が設けられている。

ここで、ゲート電極14は素子形成領域上のみではなく、チャネル幅方向にSiO₂膜12上まで延在している。素子形成領域と素子分離領域の

SiO_2 膜とは略平坦となっており、ゲート電極 14 は略平坦な面上に形成される。

このような構成において、サブスレッショルド係数 S をゲート酸化膜厚 t_{ox} の関数として 3 次元 2 キャリアシミュレータを用いて計算した結果を第 2 図に示す。第 2 図の計算では、チャネル幅 $W = 0.25 \mu m$ 、チャネル長 $L_{eff} = 0.8 \mu m$ 、拡散深さ $x_j = 0.15 \mu m$ 、基板濃度 $N_{sub} = 2 \times 10^{17} cm^{-3}$ 、ドレイン電圧 $V_d = 0.05V$ 、基板電圧 $V_{sub} = 0V$ とし、第 1 図の完全埋込み分離構造と前記第 5 図(c) の非埋込み分離構造の両者を比較してある。例えば、MOS-FET で一般に必要とされる $S \leq 80 mV/decade$ を達成するためには、非埋込み構造ではゲート酸化膜厚 $t_{ox} \leq 6 nm$ にしなければならないが、完全埋込み構造では $t_{ox} \leq 10 nm$ でよいことが判る。

第 3 図はシミュレーション結果から完全埋込み分離構造の MOS-FET において、サブスレッショルド係数 $S = 80 mV/decade$ を得るチャネル幅 W とゲート酸化膜厚 t_{ox} との関係を表わした図であ

る。完全埋込み分離構造でもチャネル幅 W が非常に大きい極限ではゲートフリッジ電界によるチャネル空乏層容量への寄与は小さくなるので、チャネル空乏層容量は平行平板近似による容量値に漸近する。従って、サブスレッショルド係数 $S = 80 mV/decade$ を満たすゲート酸化膜厚 t_{ox} も、完全埋込み分離構造では、基板濃度 N_{sub} が $1 \times 10^{17} cm^{-3}$ のときこの漸近値は SiO_2 膜厚で $7.1 nm$ になる。 W が小さくなるに従い、 $S = 80 mV/decade$ を実現するゲート酸化膜厚 t_{ox} の上限は W^{-1} に逆比例して増し、非埋込み分離構造に比べると、厚いゲート酸化膜を使用して所望のサブスレッショルド係数、即ちカットオフ特性を有する MIS-FET を得ることができることが判る。なお、前記第 10 図に示したスケーリング則に基づき、且つ $S = 80 mV/decade$ を満たすデザインルールとゲート酸化膜厚の関係を第 3 図中に一転鎖線で示してある。

第 3 図の曲線は、 t_{ox} 、 W を μm 単位で表わすと

$$t_{ox} = a / W + b = f(W)$$

で表わされる。ここで、基板不純物濃度 N_{sub} が $5 \times 10^{18} cm^{-3}$ のとき、

$$a = 1.5 \times 10^{-3}$$

$$b = 2 \times 10^{-3}$$

であり、 N_{sub} が 1×10^{17} のとき、

$$a = 8.8 \times 10^{-4}$$

$$b = 1.1 \times 10^{-2}$$

であり、 N_{sub} が $2 \times 10^{17} cm^{-3}$ のとき、

$$a = 5 \times 10^{-4}$$

$$b = 8 \times 10^{-3}$$

である。ここで、基板不純物濃度としては、パンチスルー現象を防ぐために、

$$N_{sub} \geq 1 \times 10^{17} cm^{-3}$$

に設定することが望ましいが、

$$N_{sub} \geq 5 \times 10^{16} cm^{-3}$$

の条件でも前記パンチスルー現象を低減することは可能である。

$t_{ox} \leq f(W)$ で表わされる領域の完全埋込み分離構造 MOS-FET は良好なカットオフ特性を

持つ。また、本発明の効果はチャネル幅 W を微細化する程顕著となり、 $W \leq 1 \mu m$ で特に従来技術と差が明らかになる。また、 $W < 0.15 \mu m$ ではデバイ長に近付くため、素子特性に量子論的效果が現れ始めるため、本発明が特に効果的なのは

$$0.15 \mu m \leq W \leq 1 \mu m$$

である。

かくして本実施例によれば、MOS-FET の素子分離として完全埋込み分離構造を採用することにより、チャネル幅の狭い領域において従来のスケーリング則で定まる値よりもゲート酸化膜厚を厚く形成することができる。このため、ゲート酸化膜の膜厚をあまり薄くせず高速スイッチング特性を持った微細 MOS-FET を実現することができる。従って、ゲート酸化膜の信頼性低下を防止ことができ、さらに製造方法の困難を回避することができる、その有用性は絶大である。

第 4 図は本発明の他の実施例に係わる完全埋込み分離 MOS-FET の製造工程を示す断面図である。

まず、第4図(a)に示す如く、p型Si基板40上にプラズマCVD法によりSiO₂膜47を厚さ0.4μm堆積し、続いて素子分離領域形成のためのパターニングを行い、SiO₂膜47を素子形成領域のみに残置する。次いで、SiO₂膜47をマスクとして用い、CCl₄/Heの混合ガスを用いたRIE法によりSi基板40を0.4μmエッチングし、素子分離のための溝41を形成する。

次いで、SiO₂膜47を除去したのち、第4図(b)に示す如く、プラズマCVD法により溝41内にSiO₂膜42を埋込む。このSiO₂膜42の埋込みは、全面にSiO₂膜42を堆積し、その上に平坦化用の有機レジスト等を形成したのち、これらのエッチング速度が略同じとなるエッチャントによりSi基板40の表面に達するまでエッチングを行えばよい。

次いで、第4図(c)に示す如く、ゲート酸化を行いゲート酸化膜43を形成する。その後、第4図(d)に示す如く、全面にタングステン膜を蒸着

し、これをパターニングしてゲート電極44を形成する。これ以降は、周知の方法により不純物拡散によるソース・ドレイン領域(図示せず)を形成することにより、MOS-FETが完成することになる。

かくして作成されたMOS-FETにおいては、ゲート電極材料として仕事関数がSiの禁制帯幅の中央付近に相当するWを用いているので、完全埋込み分離構造におけるしきい値電圧の低下を改善することができる。従って、完全埋込み分離構造の利点であるバースピークがないことによるLSIの高密度化、ゲート制御能力の向上に加え、しきい値電圧の低下を抑制することができ、その効果は絶大である。さらに、このゲート材料を用いれば、nチャネル、pチャネル共に所望のしきい値電圧をチャネルイオン注入なしで実現できる。また、チャネルイオン注入を行わないことにより、空乏層が伸び、前述のゲート制御性はさらに向上する利点がある。

なお、本発明は上述した各実施例に限定され

るものではない。例えば、前記ゲート絶縁膜はSiO₂等の酸化膜に限るものではない。

SiO₂以外の絶縁膜を用いた場合、前記80 mV/decadeのサブスレッショルド特性を得るには、ゲート絶縁膜の膜厚 t_1 を、

$$t_1 \leq (1.5/W + 2) \times 10^{-3} \times (e_0 / e_s)$$

e_0 : ゲート絶縁膜材料の比誘電率

e_s : SiO₂の比誘電率

で表わされる値に設定すればよい。また、前記ゲート電極材料はタングステンに限るものではなく、仕事関数が前記半導体基板の電子親和力に禁制帯幅の1/2を加えた値近傍になるようなものであればよい。また、半導体基板よりも融点が高く、且つゲート絶縁膜よりもゲート絶縁膜形成時に自由エネルギーの低下が小さい高融点金属、さらにSiよりも融点が高く、且つSiO₂よりも酸化物形成時に自由エネルギーの低下が小さい高融点金属を用いることが可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【発明の効果】

以上詳述したように本発明によれば、ゲート絶縁膜をスクレーリング則で決まる値よりも厚く形成することができ、高速スイッチング性能を持った微細MIS-FETを実現することができ、且つゲート絶縁膜の信頼性の低下と製造方法の困難を回避できる。また、完全埋込み素子分離構造におけるしきい値電圧の低下を防止することができる。

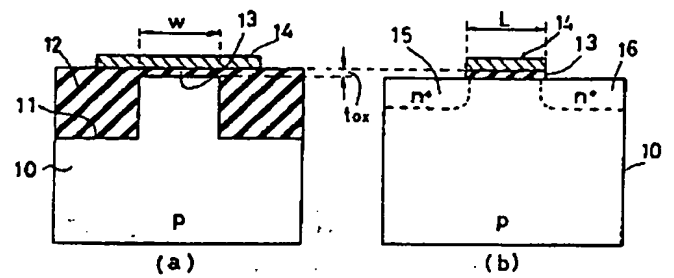
4. 図面の簡単な説明

第1図は本発明の一実施例に係わる完全埋込み分離MOS-FETの概略構成を示す断面図、第2図はゲート酸化膜厚 t_{ox} とサブスレッショルド係数Sとの関係を示す特性図、第3図は所定のサブスレッショルド係数を得るためのチャネル幅Wとゲート酸化膜厚 t_{ox} との関係を示す特性図、第4図は本発明の他の実施例を説明するための工程断面図、第5図は素子分離構造の従来例を示す断面図、第6図はチャネル幅とサブスレッショルド係数Sとの関係を示す特性図、第7図はチャネ

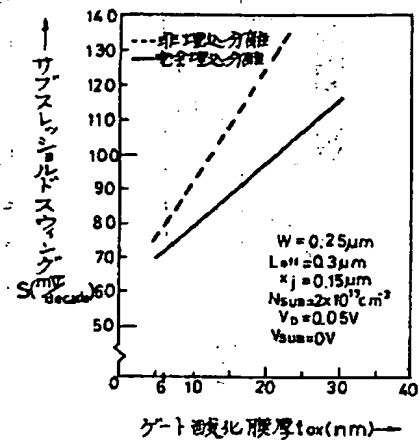
ル幅 W としきい値電圧 V_{th} との関係を示す特性図、第8図はスケーリング則に基づくデザインルールと基板不純物濃度との関係を示す特性図、第9図は所定のサブスレッショルド係数を得るための基板不純物濃度 N_{sub} とゲート酸化膜厚 t_{ox} との関係を示す特性図、第10図はスケーリング則に基づき所定のサブスレッショルド係数を得るためのデザインルールとゲート酸化膜厚 t_{ox} との関係を示す特性図である。

10, 40... Si 基板、11, 41... 素子分離用溝、12, 42... SiO_2 膜 (素子分離用絶縁膜)、13, 43... ゲート酸化膜 (ゲート絶縁膜)、14, 44... ゲート電極、15, 16... ソース・ドレイン領域、47... SiO_2 膜。

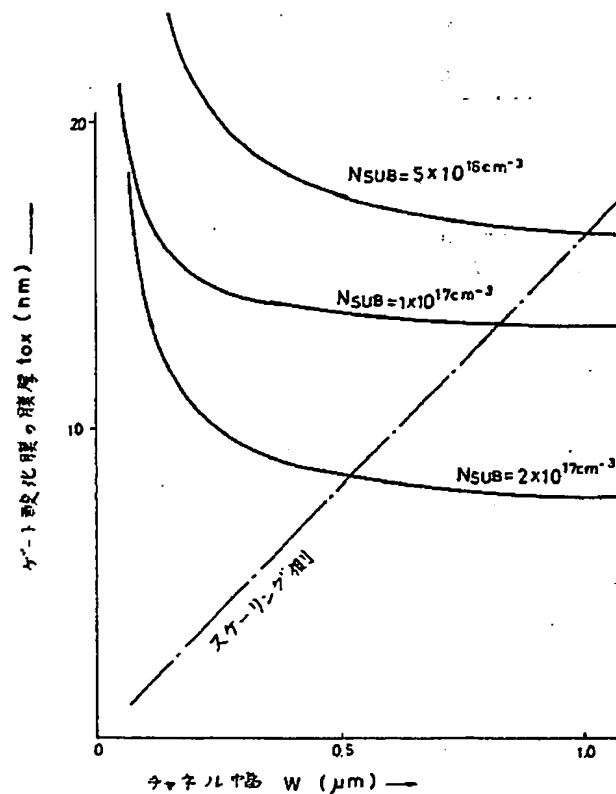
出願人代理人 弁理士 鈴江武彦



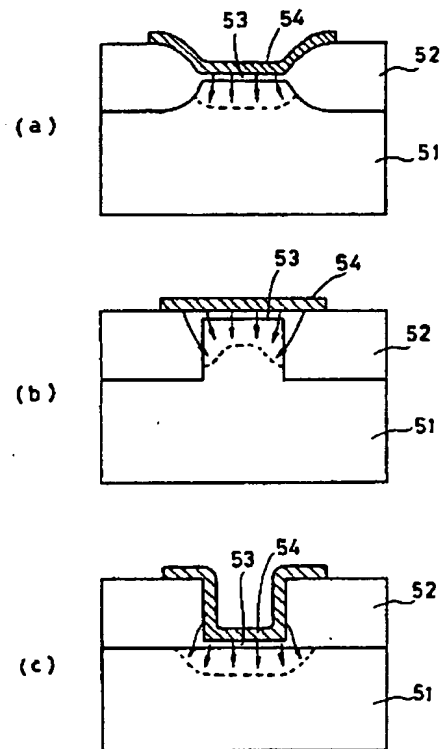
第 1 図



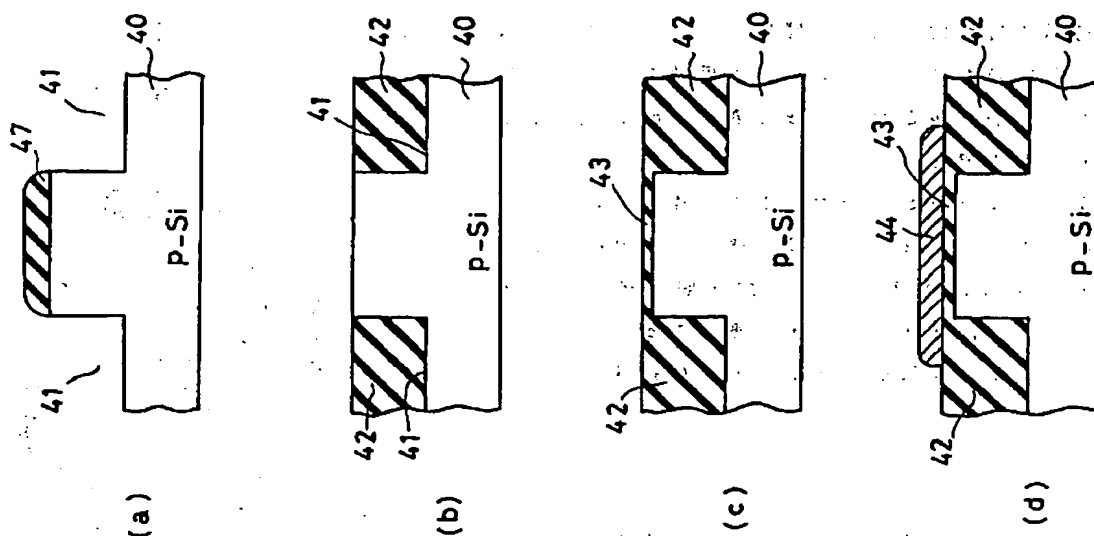
第 2 図



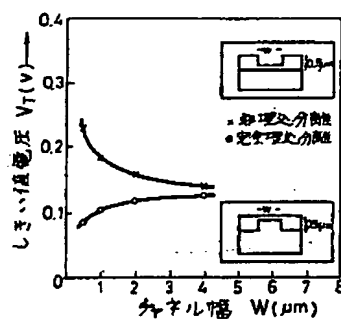
第 3 図



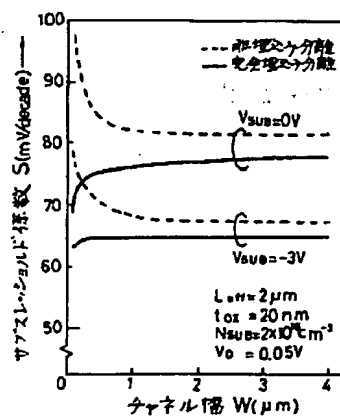
第 5 図



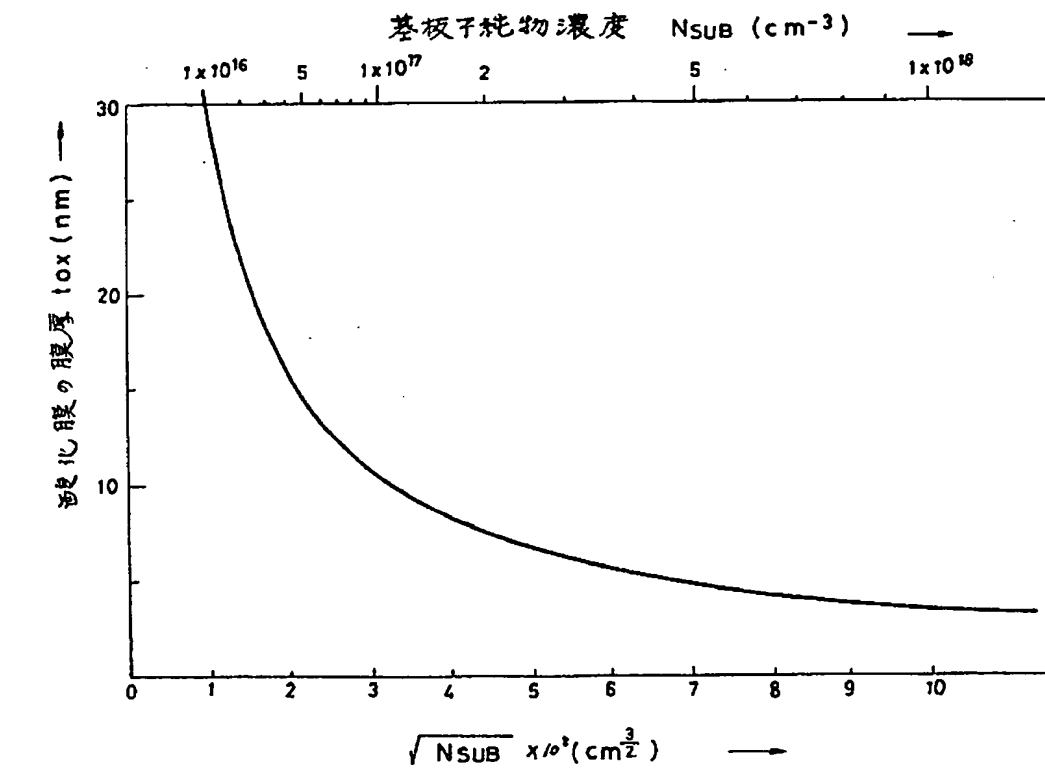
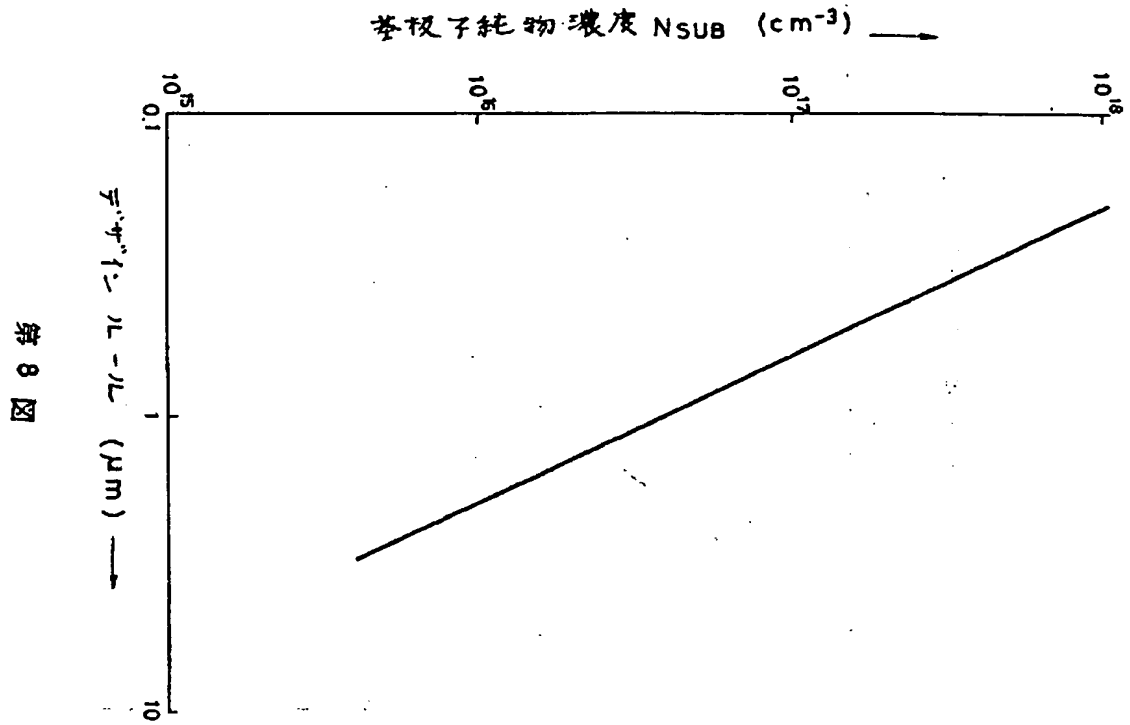
第4図



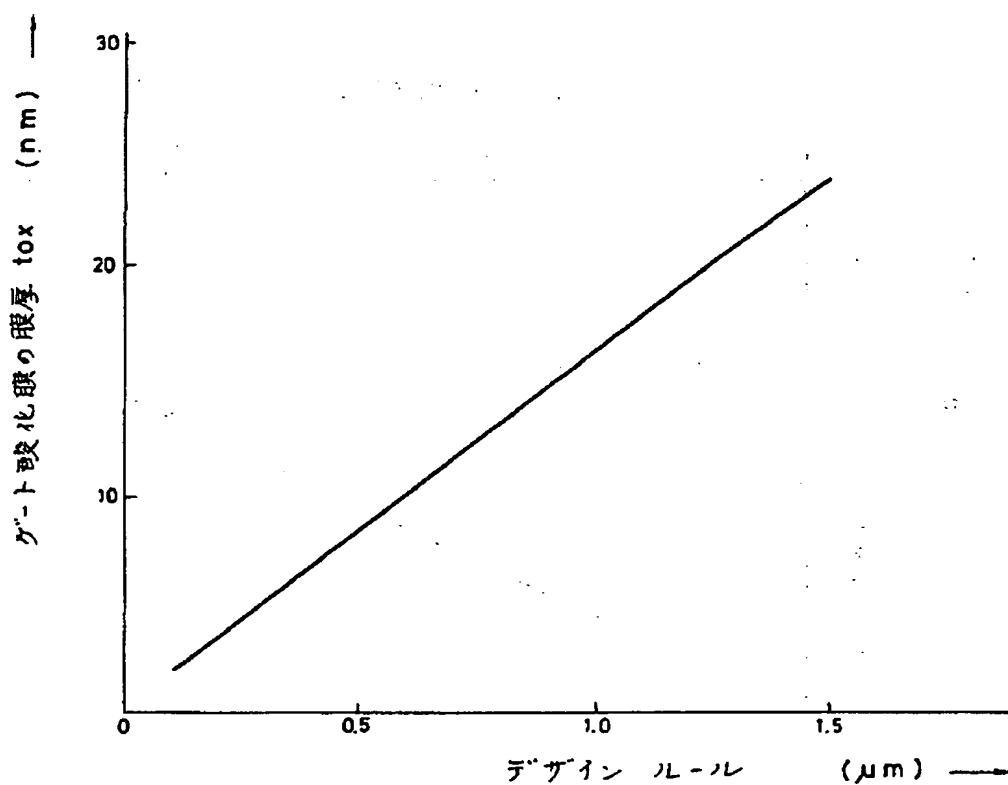
第7図



第6図



第 9 図



第 10 図